

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①2 **Offenl gungsschrift**
①1 **DE 3844388 A1**

⑤1 Int. Cl. 4:
H01L 27/10
G 11 C 11/34

②1 Aktenzeichen: P 38 44 388.0
②2 Anmeldetag: 30. 12. 88
③3 Offenlegungstag: 24. 8. 89

Benordnungsamt

DE 3844388 A1

③0 Unionspriorität: ③2 ③3 ③1
15.02.88 KR 1556/88

⑦1 Anmelder:
Samsung Electronics Co., Ltd., Suwon, KR

⑦4 Vertreter:
Grünecker, A., Dipl.-Ing.; Kinkeldey, H., Dipl.-Ing.
Dr.-Ing.; Stockmair, W., Dipl.-Ing. Dr.-Ing. Ae.E. Cal
Tech; Schumann, K., Dipl.-Phys. Dr.rer.nat.; Jakob,
P., Dipl.-Ing.; Bezold, G., Dipl.-Chem. Dr.rer.nat.;
Meister, W., Dipl.-Ing.; Hilgers, H., Dipl.-Ing.;
Meyer-Plath, H., Dipl.-Ing. Dr.-Ing.; Ehnold, A.,
Dipl.-Ing.; Schuster, T., Dipl.-Phys., Pat.-Anwälte,
8000 München

⑦2 Erfinder:
Jin, Dae-Je; Kim, Chang-Hyun, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Dynamische Direktzugriffsspeichereinrichtung

Eine Speicherzelle mit einem Halbleitersubstrat für die Bildung integrierter Schaltungselemente, einem Graben zur Bildung einer Kondensatorzone, die sich vertikal zur Oberfläche des Substrats erstreckt, wobei um den Graben eine Zellenanodenzone mit einem zweiten Leitfähigkeitstyp gebildet ist zur Herstellung eines Ladungsspeicherbereichs innerhalb der Kondensatorzone, einer hochkonzentrierten Halbleiterzone vom gleichen Leitfähigkeitstyp wie das Substrat, welche im Substrat außerhalb der Zellenanodenzone zur Erhöhung der in der Kondensatorzone gespeicherten Ladung gebildet ist, einem leitfähigen Material, welches in Abhängigkeit von der vorgegebenen Spannung im Graben die Ladung speichert, und einer dielektrischen Schicht, welche zwischen dem leitfähigen Material und der Zellenanode gebildet ist.

DE 3844388 A1

Beschreibung

Die Erfindung betrifft eine Halbleiterspeichereinrichtung und insbesondere einen dynamischen Direktzugriffsspeicher (DRAM) mit großer Kapazität.

Auf dem Gebiet der Halbleiterspeichereinrichtungen wurden viele Versuche unternommen, die Speicherkapazität durch Erhöhung der Anzahl der Speicherzellen auf einem einzelnen Baustein bzw. Chip zu steigern. Um dies zu erreichen, ist es wesentlich, den Platzbedarf der Speicherzellenanordnung dadurch zu minimieren, daß mehrere Speicherzellen auf einer begrenzten Fläche des Chips gebildet werden. Im Hinblick auf eine minimale Fläche ist es bekannt, daß eine Speicherzelle, bestehend aus einem Transistor und einer Kapazität bzw. einem Kondensator erwünscht ist. Da jedoch der Kondensator den größten Platzbedarf bei einer Speicherzelle, die aus einem Transistor und einem Kondensator besteht, hat, ist es wesentlich, den Platzbedarf, der durch den Kondensator beansprucht wird, zu minimieren und seine Kapazität zu erhöhen, so daß ein Datenlesevorgang erleichtert wird und Fehler durch Fremdkörpereinwirkung, beispielsweise durch α -Partikel, verringert werden.

Um diese Schwierigkeiten zu beheben, wurden verschiedene Verfahren vorgeschlagen zur Bildung von Kondensatoren, welche Gräben auf der Oberfläche des Halbleitersubstrats aufweisen, so daß der vom Kondensator belegte Platz minimiert ist und die Kapazität des Kondensators auf einen Maximalwert gebracht ist. Es ist erforderlich, den Grabentypaufbau bei einem DRAM anzuwenden, der eine Speicherkapazität von mehr als 4 Megabits aufweist.

Ein Beispiel für eine Speicherzelle, bei der ein herkömmlicher Grabenaufbau verwendet wird, ist in ISSCC Digest of Technical Papers, Februar 1986, Seiten 272—273 beschrieben.

Da diese Speicherzelle eine Zellenanode aus Polysilicium, das auf der oberen Oberfläche des Substrats gebildet ist, aufweist, ist der Anodenanschluß in einer Speicherzelle mit einer großen Integration von mehr als 16 Kilobits schwierig. Ferner kann die Anode aus Polysilicium leicht die Schrittabdeckung erzeugen, welche den zu bildenden Stringer (Versteifung) bewirkt. Da ferner die oben beschriebene Speicherzelle die Ladung außerhalb des Grabens speichert, können leicht Fehler durch Fremdkörpereinwirkung erzeugt werden.

Andererseits kann in der gestapelten Speicherzelle, welche die Zellenanode an den Wortleitungen bildet, das Problem, welches obiger Speicherzelle aufgrund der Anode anhaftet, gelöst werden. Wenn die Gräben jedoch in großer Integration gebildet sind, sind zwei benachbarte Gräben voneinander durch eine dicke Feldoxidschicht getrennt, so daß der untere Teil der Feldoxidschicht nicht wirkungsvoll zum Einsatz kommt. Demzufolge kann der Integrationsgrad nicht erhöht werden.

Eine US-Patentanmeldung Nr. 0 00 743, eingereicht am 16. Oktober 1987, beschreibt eine Speicherzelle, welche die Schwierigkeiten, die den beiden Typen von Speicherzellen anhaften, löst. Da in der Speicherzelle der US-Patentanmeldung Nr. 0 00 743 die Zellenplatte, welche im Substrat gebildet ist, das gleiche Potential hat wie das Substrat, kann an die Zellenanoden keine unabhängige Spannung angelegt werden, die sich von der des Substrats unterscheidet.

Aufgabe der Erfindung ist es daher, zur Vermeidung der im Zusammenhang mit dem diskutierten Stand der

Technik auftretenden Schwierigkeiten eine Halbleiterspeichereinrichtung zu schaffen, in welche eine große Anzahl von Elementen mit hoher Dichte auf einem Halbleitersubstrat integriert sind.

Diese Aufgabe wird erfindungsgemäß durch die im Anspruch 1 angegebenen Merkmale gelöst.

Von Vorteil ist bei der Erfindung, daß eine Speicherzelle vorgesehen wird, die aus einem Transistor und einem Kondensator besteht und welche mit einer vertretbaren Verarbeitungswirksamkeit hergestellt ist, und bei der die Zellenanode im Substrat eingebettet ist und eine Spannung, welche sich von der Spannung des Substrats unterscheidet, an die Zellenanode angelegt werden kann.

Ferner wird in vorteilhafter Weise durch die Erfindung eine Speicherzelle vorgesehen, die in hohem Maße unempfindlich gegenüber Störungen ist, und welche eine eingebettete Zellenanode aufweist.

Ferner wird in vorteilhafter Weise durch die Erfindung eine Speicherzelle vorgesehen, die eine solche Form und einen solchen Aufbau hat, daß sie mit erhöhtem Herstellungswirkungsgrad gefertigt werden kann.

Gemäß der Erfindung enthält eine Speicherzelle ein Halbleitersubstrat zum Bestücken mit integrierten Schaltungselementen, einen Graben zur Bildung eines Kondensatorbereichs, der sich vertikal zur Oberfläche des Substrats erstreckt, wobei dieser Graben in das Substrat eingeformt ist, einen Zellenanodenbereich mit einem zweiten Leitfähigkeitstyp zur Bildung eines Ladungsspeicherbereichs innerhalb des Kondensatorbereichs, wobei der Zellenanodenbereich in dem Substratbereich um den Graben gebildet ist, einen hochkonzentrierten Halbleiterbereich vom gleichen Leitfähigkeitstyp wie das Substrat zur Erhöhung der im Kondensatorbereich gespeicherten elektrischen Ladung, wobei der hochkonzentrierte Halbleiterbereich in dem Substratbereich gebildet ist, der außerhalb des Zellenanodenbereichs liegt, ein leitfähiges Material zur Speicherung der elektrischen Ladung in Abhängigkeit von der Spannung im Graben und eine dielektrische Schicht, welche zwischen dem leitfähigen Material und der Zellenanode angeordnet ist.

Beim erfindungsgemäßen Aufbau wirkt der eingebettete Speicherkondensator mit dem Übertragungstransistor, welcher einen Transistor in der DRAM-Speicherzelle aufweist, zusammen. Der eingebettete Speicherkondensator besitzt ein Substrat, einen Graben zur Bildung eines Kondensatorbereichs, der sich im wesentlichen senkrecht zur Oberfläche des Substrats erstreckt, wobei dieser Graben in das Substrat eingeformt ist, einen Bereich, der mit Ionen dotiert ist, die entgegengesetzte Leitfähigkeit zum Substrat aufweisen zur Bildung der Zellenanode im Substratbereich außerhalb des Grabens, einen anderen Bereich, der mit Ionen der gleichen Leitfähigkeit wie das Substrat dotiert ist, wobei dieser andere Bereich im Substratbereich außerhalb der Zellenanode gebildet ist, einen leitfähigen Polysiliciumkern, der in den Graben eingefüllt ist zur Speicherung der Ladung, die der empfangenen Spannung entspricht und zur Bildung einer Elektrode dieses Kondensators, ein dielektrisches Material, welches als Kondensatorisolierung dient und zwischen dem leitfähigen Polysiliciumkern und der Zellenplatte angeordnet ist, und einen leitfähigen Anschluß, der dotiertes Polysilicium aufweist durch Verbinden des Source-Bereichs des Übertragungstransistors mit dem leitfähigen Kern, so daß ein Durchlaß gebildet wird, durch welchen die Ladung in den Speicherkondensator oder aus dem Speicherkon-

densator fließen kann.

Die dotierten Bereiche, welche im Substratbereich außerhalb des Grabens gebildet werden, werden in aufeinanderfolgenden Schritten angeordnet. Zunächst wird ein flacher Grabenteil gebildet, an dessen Seitenwänden Oxidschichten hergestellt werden. Auf dem Boden des flachen Grabenteils wird ein zweiter tiefer Grabenteil gebildet, der keine Oxidschicht aufweist. Das Dotierungsmittel, welches in den Graben eingebracht wird, dringt in das Substrat durch die Wände des tiefen Grabenteils ein. Die Seitenwände des flachen Grabenteils werden nicht dotiert, da dies durch die Oxidschichten, welche darauf gebildet sind, verhindert wird.

Anhand der Figuren wird die Erfindung noch näher erläutert. Es zeigt:

Fig. 1 einen Querschnitt durch eine Transistorspeicherzelle mit eingebettetem Speicherkondensator als Ausführungsbeispiel der Erfindung;

Fig. 2 einen Querschnitt zur Erläuterung der Verbindung zwischen einer Speicherzelle, die ein Ausführungsbeispiel der Erfindung ist, mit einer benachbarten Speicherzelle;

Fig. 3 eine Draufsicht auf eine Speicherzelle, die ein Ausführungsbeispiel der Erfindung ist;

Fig. 4 einen Querschnitt durch ein Ausführungsbeispiel der erfindungsgemäßen Speicherzelle, bei der das Anlegen einer Spannung an die Zellplatte gezeigt ist; und

Fig. 5(A)–(I) aufeinanderfolgende Schritte zur Herstellung einer Transistorspeicherzelle mit eingebettetem Speicherkondensator, die ein Ausführungsbeispiel der Erfindung ist.

Unter Bezugnahme auf die Zeichnungen wird die Erfindung noch näher erläutert.

Fig. 1 ist eine Querschnittsansicht, welche einen eingebetteten bzw. versenkten Speicherkondensator in einer Transistorspeicherzelle, die ein Ausführungsbeispiel der Erfindung ist, darstellt. Mit dem Bezugszeichen 10 ist ein P- oder N-Halbleitersubstrat bezeichnet. In der folgenden Beschreibung wird der Einfachheit halber immer Bezug genommen auf ein Substrat vom P-Typ, jedoch kann die Erfindung auch bei einem Substrat vom N-Typ zur Anwendung kommen. Beim dargestellten Ausführungsbeispiel ist in einem Graben ein Kondensator gebildet. Der Graben besitzt eine im wesentlichen konische Form. Das Grabeninnere erstreckt sich senkrecht zur Oberfläche des Halbleitersubstrats. Der Graben enthält einen flachen und breiten Grabenteil 12a und einen tiefen schmalen Grabenteil 12b. Im Peripheren Bereich sind eine N⁺-Zellenanodenzone 14, die mit Arsen, Phosphor oder dgl. vom zum Substrat entgegengesetzten Leitfähigkeitstyp hochdotiert ist, und eine P⁺-Zone 16, welche mit Bor und dgl. vom gleichen Leitfähigkeitstyp wie das Substrat hochdotiert ist, gebildet. Die N⁺-Zellenanodenzone 14 bildet eine Elektrode des Kondensators.

Ein harter Polysiliciumkern 18 ist in den Grabenteilen 12a und 12b gebildet. Dieser Kern stellt die andere leitfähige Elektrode des Kondensators dar. Der Kern 18 ist von der N⁺-Zellenanodenzone 14 durch eine dielektrische Schicht 20, bestehend aus einer Oxidschicht oder aus einer Zusammensetzung eines Oxids und Nitrids, isoliert. Die Dicke der dielektrischen Schicht beträgt etwa 100–200 Å.

Die Gräben werden fortlaufend durch den folgenden Herstellungsvorgang gebildet. Während des ersten Schrittes der Herstellung wird ein flacher Grabenteil 12a im Substrat durch reaktives Ionenätzen gebildet.

Der flache Grabenteil 12a erstreckt sich etwa 1,5 Mikron in das Substrat. Wenn der flache Grabenteil gebildet ist, werden Oxidschichten an der Innenseite und am Boden niedergeschlagen. Daraufhin wird der Boden des flachen Grabenteils unter Verwendung von anisotropem Ätzen wiederum geätzt. Die gesamte Oxidschicht 22 verbleibt an den Seitenwänden des Grabenteils, so daß eine Diffusion von Störstellen in einem nachfolgenden Störstellendiffusionsvorgang blockiert wird. In einem zweiten Herstellungsschritt wird der tiefe Grabenteil 12b, welcher eine Dicke von etwa 3–3,5 Mikron aufweist, im Boden des flachen Grabenteils durch Ätzen gebildet. Es werden dann Störstellen in die Seitenwände des tiefen Grabens eingebracht, um eine hochdotierte N⁺-Zone und P⁺-Zone zu bilden. Zu diesem Zeitpunkt wirkt die Oxidschicht 22, welche an den Seitenwänden des flachen Grabenteils 12a vorhanden ist, als Barriere während des Störstellendiffusionsvorgangs.

Der Übertragungstransistor enthält ein Gate 24 und Drain- und Sourcezonen 21 und 22, die durch eine Kanalzone 26 unterhalb des Gates 24 getrennt sind. Das Gate 24 und der Kanalbereich 26 des Transistors sind voneinander durch eine Gate-Isolationsschicht 30 isoliert, so daß der Strom, welcher zwischen den Drain- und Sourcezonen 28 und 29 fließt, in Abhängigkeit von dem an das Gate 24 gelegten Steuersignal begrenzt ist. Die Sourcezone des Transistors und der Polysiliciumkern 18 sind über ein leitfähiges Polysilicium 32 miteinander verbunden, so daß zwischen dem Speicherkondensator und der Schaltung zur Erzeugung der Ladungen ein Ladungstransport stattfinden kann. Isolierschichten 34 und 37 bedecken verschiedene andere Schichten auf dem Halbleitersubstrat und schützen dabei diese. Ferner sind Leiter vorhanden, wie beispielsweise ein Leiter 36, der mit der Drainzone 28 des Übertragungstransistors verbunden ist und zum Übertragen von Signalen verschiedener Elemente dient. Ein Leiter 39 besteht aus Metall.

Die Fig. 1 zeigt einen Querschnitt durch den versenkten bzw. eingebetteten Speicherkondensator. Eine P⁺-Dotierungsschicht 38 unter der Isolierschicht 34 wird gebildet, um Kriechströme zwischen benachbarten Gräben zu verringern. Ferner isoliert die P⁺-Zone 16 außerhalb der N⁺-Zellenanodenzone 14 die N⁺-Zellenanodenzone 14 von der Sourcezone 29 des Übertragungstransistors, so daß Kriechströme unterbunden sind. Hierdurch wird die Kapazität des Speicherkondensators erhöht.

Die Fig. 2 zeigt einen Querschnitt zweier benachbarter, miteinander verbundener Zellen. Es werden hierbei die gleichen Bezugsziffern wie in Fig. 1 für die gleichen Elemente verwendet. Die beiden benachbarten Zellen sind über die N⁺-Zellenanodenzone 14 miteinander verbunden.

Die Fig. 3 zeigt eine Draufsicht auf einen Teil der Speicherzellenanordnung, welche den oben beschriebenen Aufbau hat. Mit 40 ist der Grabenbereich bezeichnet, welcher den Kondensator bildet. 42 bezeichnet eine N⁺-dotierte Zellenanodenzone 44, einen P⁺-dotierten Bereich und 46 einen Substratbereich vom P-Typ. Wie die Figur zeigt, sind die N⁺-Zellenanodenzonen (die Zone 14 in Fig. 2) um die jeweiligen Gräben angeordnet und miteinander verbunden. An einer bestimmten Anschlußstelle der Speicherzellenanordnung ist eine festgelegte Spannung an die N⁺-Zellenanodenzone 42 angelegt, wie es in Fig. 4 dargestellt ist. Für die gleichen Teile wie in den Fig. 1 und 2 sind in der Fig. 4 die gleichen Bezugsziffern verwendet.

In einem Endteil der Speicherzellenanordnung der Fig. 3 ist eine N-Senke 47 gebildet, wie es in Fig. 4 dargestellt ist. Diese ist mit der N⁺-Zellenanodenzone 14 verbunden. An einem oberen Teil der N-Senke 47 ist eine N⁺-Dotierungsschicht 48 vorhanden, welche mit einem Leiter 49 verbunden ist. Wenn eine festgelegte Spannung an den Leiter 49 angelegt wird, wird diese Spannung über die N-Senke 47 an die N⁺-Zellenanodenzone 14 angelegt. Wenn die N⁺-Zellenanodenzone 14 über die N-Senke 47 mit der angelegten Spannung versorgt ist, werden alle N⁺-Zellenanodenzonen 14 aufgrund ihrer Verbindung miteinander mit dieser Spannung versorgt. In bevorzugter Weise wird eine Versorgungsspannung von $V_{cc}/2$ (die Hälfte der Versorgungsspannung V_{cc}) an die N-Senke angelegt. Wenn die N⁺-Zellenanodenzone 14 die Spannung $V_{cc}/2$ empfängt, wird die Dicke der Isolierschicht des Kondensators verringert, wodurch die Kapazität ansteigt.

Im folgenden werden anhand der Fig. 5(A)–5(I) die einzelnen Herstellungsschritte zur Bildung der DRAM-Zellen auf dem Siliciumhalbleitersubstrat nach der Erfindung erläutert.

Das Ausgangsmaterial einer Siliciumhalbleiterschleife 50 ist ein Substrat vom N-Typ oder P-Typ. In diesem Substrat ist eine N-Senke oder P-Senke mit einem herkömmlichen Verfahren, beispielsweise durch Diffusion oder Ionenimplantation, hergestellt. Die Störstellenkonzentration im Substrat im Bereich einer Senke 52, welche dabei gebildet wird, beträgt etwa 10^{14} Atome/cm³.

Im Verfahrensschritt der Fig. 5A wird als Ausgangsmaterial ein Siliciumhalbleitersubstrat 50 vom P-Typ verwendet, welches eine N-Senke 52 aufweist. Zunächst wird durch herkömmliche thermische Oxidation eine Oxidschicht 54 aus SiO₂ auf dem Substrat 50 mit einer Dicke von 200–400 Å gebildet. Anschließend werden eine Nitridschicht 56 aus Si₃N₄ und dicke Oxidschicht 58 aufeinanderfolgend mit herkömmlichen Verfahren gebildet. Die Nitridschicht 56 besitzt eine Dicke von etwa 1000–2000 Å und wird als Oxidationsschutzmaske im nachfolgenden Verfahrensschritt verwendet. Die Oxidschicht 58 besitzt eine Dicke von etwa 6000–8000 Å und wird bei niedriger Temperatur gebildet und wird als Maske während der Grabenbildung verwendet.

Anschließend werden durch Photolithographie die Oxid-Nitrid- und Oxid-Schichten 54, 56, 58 als Ätzmasken bei der Bildung des Grabens hergestellt. Anschließend wird durch reaktives Ionenätzen (RIE) das Siliciumsubstrat 50 geätzt zur Bildung eines Grabens 60. Anschließend werden auf der oberen Oberfläche des Substrats und der Oberfläche des Grabens 60 die Oxidschichten gebildet mit einer Dicke von 2000 Å unter Anwendung eines herkömmlichen Niedertemperaturoxidationsverfahrens. Ferner werden durch Ätzen ohne eine getrennte Maske die Oxidschichten auf dem Boden des Grabens 60 beseitigt, und es verbleiben auf der Oberfläche des Substrats an den Seitenwänden des Grabens 60 Oxidschichtmasken 62, wie es in Fig. 5(B) dargestellt ist. Am Boden des Grabens 60 wird durch reaktives Ionenätzen der tiefe Grabenteil gebildet, wie es in Fig. 5(C) dargestellt ist.

In der Fig. 5(D) werden in die freiliegenden Seitenwände des Grabens 60, mit Ausnahme der von der Oxidationsmaske 52 bedeckten Wandteile, im schrägen Winkel Ionen vom P-Typ, wie beispielsweise Bor, und Ionen vom N-Typ, wie beispielsweise Arsen, implantiert, und zwar bei Dosen von 10^{12} – 10^{13} Ionen/cm² und 10^{14} – 10^{15} Ionen/cm² mit einer Energie von etwa 50 keV, so daß ein Halbleiterbereich 65 vom P-Typ und ein

Halbleiterbereich 64 vom N-Typ im Substrat außerhalb des Grabens gebildet werden. Anschließend wird ein Halbleiterbereich 66 vom N-Typ im Substratbereich unterhalb des Bodens des Grabens durch N⁺-Ionenimplantation oder durch herkömmliche Diffusion gebildet. Der Halbleiterbereich 65 vom P-Typ und der Halbleiterbereich 64 vom N-Typ können durch ein herkömmliches Diffusionsverfahren hergestellt sein.

Wie es in Fig. 5(E) dargestellt ist, werden nach Beendigung der Dotierung der Grabenwände Dotierungsmittel diffundiert zur Bildung einer N⁺-Zellenanode 67 und eines P⁺-Bereichs 68.

Die N⁺-Zellenanodenzone 67 dient als eine Elektrode des Kondensators. Zur Bildung der Kondensatorisolierschicht wird eine dielektrische Schicht 70 gebildet, welche eine Oxidschicht und/oder Nitridschicht an den Seitenwänden des Grabens 60 und der Bodenfläche des Substrats aufweist. In den Graben 60 wird ein N⁺-Dotierungs-Polysiliciumkern 72 eingefüllt. Die dielektrische Schicht 70 und der Dotierungs-Polysiliciumkern 72 werden mit herkömmlichen Verfahren gebildet. Der Dotierungs-Polysiliciumkern 72 speichert eine Ladung und bildet eine Elektrode des Kondensators. Nach Beseitigung des Polysiliciums auf der Nitridschicht 56 und der anschließenden Beseitigung der Nitridschicht 56 und der Oxidschicht 54 in dem Bereich, in welchem die Feldoxidschicht gebildet werden soll, wird unterhalb dieses Bereichs eine P-Dotierungszone 74 mit hoher Konzentration gebildet und anschließend die Feldoxidschicht 76 hergestellt. Anschließend werden die auf dem Substrat verbliebenen Nitridschichten 56 und Oxidschichten 54 alle beseitigt.

Wie die Fig. 5(F) zeigt, wird die Gate-Oxidschicht 80 auf der freigelegten Substratoberfläche 78 durch thermische Oxidation geätzt und eine leitfähige Polysiliciumschicht 82 sowie eine Niedertemperatur-Oxidschicht 83 auf der gesamten Oberfläche des Substrats gebildet. Ein Gateelektrodenmuster 84 wird durch herkömmliche Photolithographie gebildet. An den Seitenwänden des Gateelektrodenmusters 84 wird ein Oxidabstandhalter 85 gebildet.

Wie aus der Fig. 5(G) zu ersehen ist, wird die N⁺-Zone als Drain- und Sourcezonen 86 und 87 eines N-Kanal-MOS-Feldeffekttransistors (N-MOSFET) auf dem Substrat 50 ausgebildet. Drain- und Sourcezonen 88 und 89 eines P-MOSFET werden an der N-Senke 52 gebildet. Anschließend wird eine Isolierschicht 91a in Form eines Überzugs aus Niedertemperaturoxid (LTO) oder Phosphorsilicatglas (PSG) aufgebracht. Es wird dann eine Verbindungsschicht 90 durch Ätzen des Verbindungsbereichs zwischen dem leitfähigen Polysiliciumkern 72 und der Sourcezone 87 des N-MOSFET als Übertragungstransistor gebildet. Die Source- und Drainzonen des MOSFET werden durch herkömmliche Phosphorionenimplantation gebildet. Der versenkte bzw. eingebettete Polysiliciumkern 72 wird mit dem Übertragungstransistor über eine dünne leitfähige Polysiliciumschicht, welche durch Photolithographie gebildet wird oder eine Silicidschicht verbunden.

Gemäß der Fig. 5(H) wird nach dem Aufbringen einer isolierenden Überzugsschicht aus LTO oder PSG auf der gesamten Oberfläche eine Polysiliciumschicht 92 auf der Isolierschicht 91 gebildet, so daß die Ladung des Speicherkondensators übertragen werden kann, indem ein Kontaktfenster auf der Drainzone 86 des N-MOSFET gebildet wird.

Schließlich wird, wie es in der Fig. 5(I) gezeigt ist, auf den verschiedenen Elementen des Halbleitersubstrats

50 eine Passivierungsschicht 93 gebildet. Die N⁺-Zellenanodenzone 67 ist hochdotiert mit N-Störstellen und dient als Zellenanode des Grabenkondensators. Durch die Anwendung zweier Schritte zur Bildung der Dotierung der Seitenwände und des Bodens des Grabens 60 5 gewinnt man eine wirkungsvolle Zellenanode unterhalb der Oberfläche des Substrats 50, welche den durch die Erfindung gewünschten Vorteil bringt.

Wie schon erläutert, wird durch die Erfindung ein Kondensator vorgesehen mit einer versenkten bzw. eingebetteten Zellenanode, welche für verschiedene integrierte Schaltungen, wie beispielsweise eine Transistorspeicherzelle und dgl., eines DRAM verwendbar ist. Die Erfindung kann auf verschiedene Weise ausgestaltet sein. Beispielsweise kann das Halbleitersubstrat aus einem anderen Material als Silicium bestehen. Außerdem kann die Zellenanodenzone und die Zone außerhalb der Zellenanode mit der entgegengesetzten Leitfähigkeit hochdotiert sein mit wahlweise Störstellen vom P-Typ und N-Typ, wobei Bor, Phosphor und Arsen lediglich beispielsweise angegeben sind. Darüber hinaus kann die Zellenanodenzone auf verschiedene Weise zur Erzielung im wesentlichen des gleichen Zweckes ausgebildet sein. Die obige Beschreibung, unter Bezugnahme auf die Zeichnungen, ist daher lediglich die Darstellung eines Ausführungsbeispiels der Erfindung und beschränkt nicht den Schutzzumfang der Erfindung. 25

Wie oben beschrieben wurde, erfolgt bei der Erfindung — anders als in der Inversionsschicht im Siliciumsubstrat — die Ladungsspeicherung im Polysiliciumkern 18 innerhalb des Grabens. Daher sind Ladungsabfluß und Durchgrifferscheinungen zwischen den Gräben und anderen Elementen im Substrat erheblich verringert. Durch Verschlechterung der α -Partikel wird die Störfestigkeit gegen Störungen erhöht. Da darüber hinaus die Zellenanode unterhalb der Substratoberfläche gebildet ist, sind solche Schwierigkeiten beseitigt, welche in Erscheinung treten, wenn die Zellenanode auf dem Substrat mit Polysilicium gebildet wird. Es kann hierzu ein Herstellungsverfahren unter Verwendung der Photolithographie vermieden werden. Dadurch erhöht sich die Produktivität. Ferner ist es möglich, eine getrennte Spannung an die Zellenanode anzulegen. Beispielsweise kann eine Spannung von $V_{cc}/2$ an die Zellenanode gelegt werden. Es läßt sich hierdurch die Kapazität durch Verringerung der dielektrischen Schicht des Kondensators erhöhen. Darüber hinaus kann die Produktivität erhöht werden durch Verringerung der Grabentiefe. Da darüber hinaus eine hochkonzentrierte Schicht mit zur Zellenanode entgegengesetzter Leitfähigkeit um die Zellenanode gebildet werden kann, läßt sich die Kapazität des Kondensators erhöhen und Leckströme zwischen dem Übertragungstransistor und der Zellenanode lassen sich verhindern. 50

Patentansprüche

1. Dynamische Direktzugriffsspeichereinrichtung mit einem Halbleitersubstrat, wenigstens einem Speicherkondensator zum Speichern von Ladungen 60 im Halbleitersubstrat und einem Übertragungstransistor mit Gate, Source und Drain zur Übertragung der Ladungen auf den Kondensator, gekennzeichnet durch
 - wenigstens eine Grabenanordnung (12a, 12b) zur Bildung der Kondensatorzone senkrecht zur Oberfläche des Substrats (10); 65
 - einen ersten Dotierungsbereich (14) zur Bil-

dung einer Ladungsspeicherzone in der Kondensatorzone im Substrat (10) um die Grabenanordnung (12a, 12b);

- einen zweiten Dotierungsbereich (16) zur Erhöhung der in der Kondensatorzone gespeicherten Ladung im Substratbereich außerhalb und neben dem ersten Dotierungsbereich (14);
- einen in der Grabenanordnung (12a, 12b) gebildeten Stromleiterbereich (18) zur Speicherung der Ladung in Abhängigkeit von einer gegebenen Spannung;

- eine dielektrische Schicht (20), welche zwischen der Grabenanordnung (12a, 12b) und dem Stromleiterbereich (18) gebildet ist und als Isolator des Kondensators dient; und

- eine Verbindungsleitung (32) zum Kontaktieren des Stromleiterbereichs (18) mit dem Übertragungstransistor (24, 26, 28, 29) für die Übertragung der Ladung auf die Kondensatorzone.

2. Dynamische Direktzugriffsspeichereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der erste und zweite Dotierungsbereich (14, 16) einen in das Substrat (10) eingeformten flachen Grabenbereich (12a), dessen Seitenwände maskiert sind, so daß ein Durchdringen von Dotierungsmitteln verhindert ist, sowie einen tiefen Grabenbereich (12b) umfaßt, welcher unmittelbar unterhalb vom flachen Grabenbereich (12a) gebildet ist, und daß eine festgelegte Menge an Störstellen in die Seitenwände des tiefen Grabenbereichs (12b) dotiert ist.

3. Dynamische Direktzugriffsspeichereinrichtung nach Anspruch 2, dadurch gekennzeichnet, daß der flache Grabenbereich (12a) einen größeren Querschnitt aufweist als der tiefe Grabenbereich (12b).

4. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das Substrat (10) einen ersten Leitfähigkeitstyp hat, daß der erste Dotierungsbereich (14) einen zweiten Leitfähigkeitstyp hat, und daß der zweite Dotierungsbereich (16) den gleichen Leitfähigkeitstyp hat wie das Substrat (10).

5. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der erste Leitfähigkeitstyp ein P-Typ ist, und daß der zweite Leitfähigkeitstyp ein N-Typ ist.

6. Dynamische Direktzugriffsspeichereinrichtung mit mehreren dynamischen Direktzugriffsspeicherelementen, die ein Halbleitersubstrat, einen Speicherkondensator zum Speichern einer Ladung und einen Übertragungstransistor mit Gate, Source und Drain zur Übertragung der Ladungen auf den Kondensator nach einem der Ansprüche 1 bis 5 haben, dadurch gekennzeichnet, daß ein Senkenbereich (47) mit dem gleichen Leitfähigkeitstyp wie der erste Dotierungsbereich (14) mit dem ersten Dotierungsbereich (14) der Direktzugriffsspeicherzelle am einen Ende der Zellenanordnung verbunden ist.

7. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der erste und zweite Dotierungsbereich (14, 16) einen flachen Grabenteil (12a) aufweist, der in das Substrat (10) eingeformt ist und dessen Seitenwände eine Maskierung (22) aufweisen, die ein Durchdringen von Dotierungsmitteln verhindert, und daß unmittelbar unter dem flachen Grabenteil (12a) ein tiefer Grabenteil (12b) sich an-

schließt, in dessen Seitenwände eine festgelegte Menge an Störstellen dotiert ist.

8. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die ersten Dotierungsbereiche (14) benachbarter dynamischer Direktzugriffsspeicherelementen miteinander verbunden sind. 5

9. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der flache Grabenbereich (12a) eine größere Querschnittsfläche aufweist als der tiefere Grabenbereich (12b). 10

10. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß das Substrat (10) vom ersten Leitfähigkeitstyp ist, daß der erste Dotierungsbereich (14) vom zweiten Leitfähigkeitstyp ist, und daß der zweite Dotierungsbereich (16) vom gleichen Leitfähigkeitstyp ist wie das Substrat (10). 15

11. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß der erste Leitfähigkeitstyp ein P-Typ und der zweite Leitfähigkeitstyp ein N-Typ sind. 20

12. Dynamische Direktzugriffsspeichereinrichtung nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß eine Spannung von $V_{cc}/2$, d. h. die halbe Versorgungsspannung, an den Senkenbereich (47) angelegt ist. 25

30

35

40

45

50

55

60

65

- Leerseite -

Numm r:
Int. Cl. 4:
Anm ldetag:
Off nlegungstag:

38 44 388
H 01 L 27/10
30. Dez mber 1988
24. August 1989

20

3844388

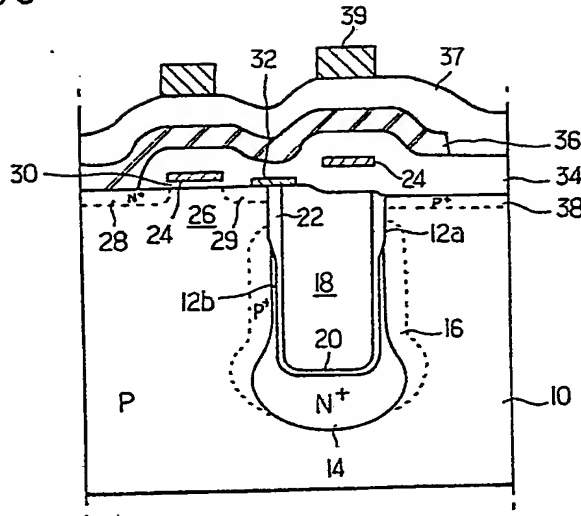


FIG. 1

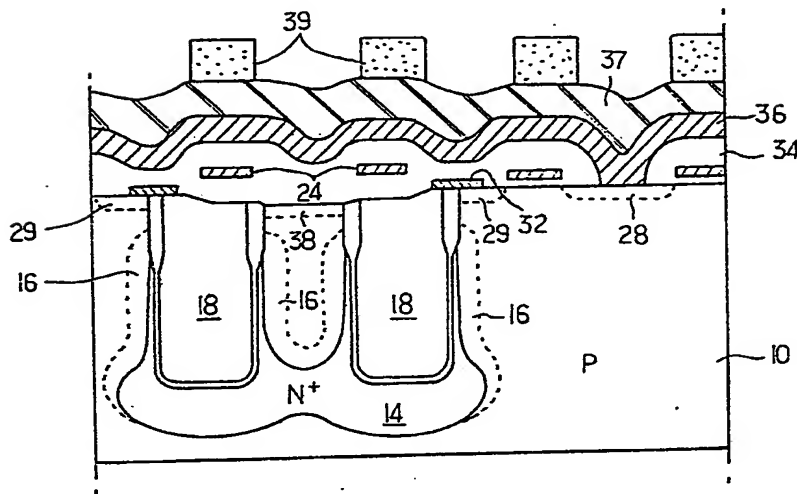


FIG. 2

21

3844388

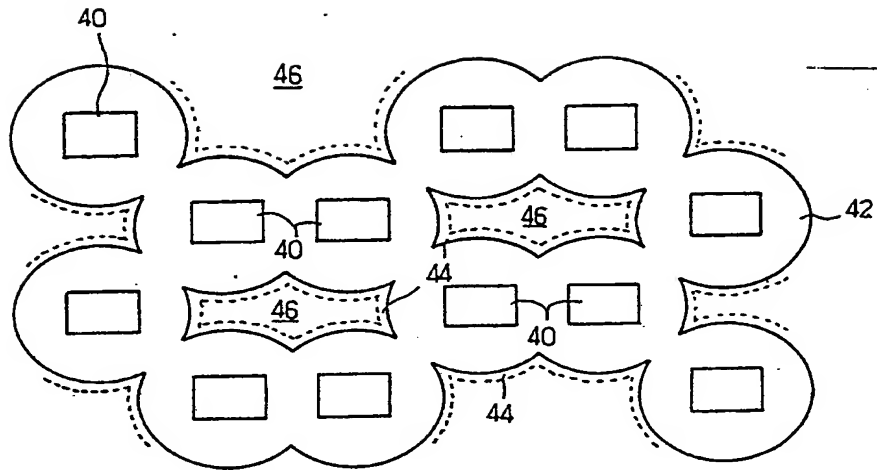


FIG. 3

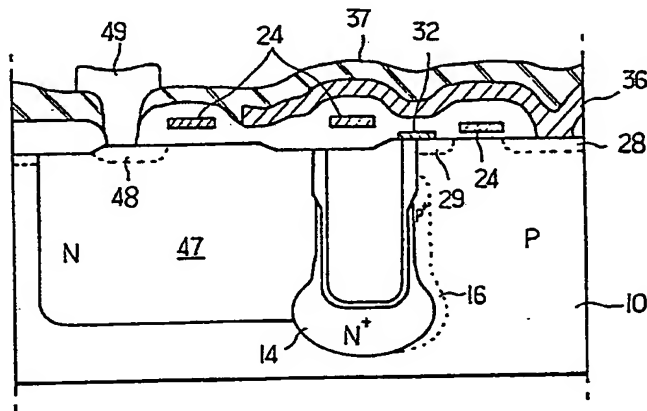


FIG. 4

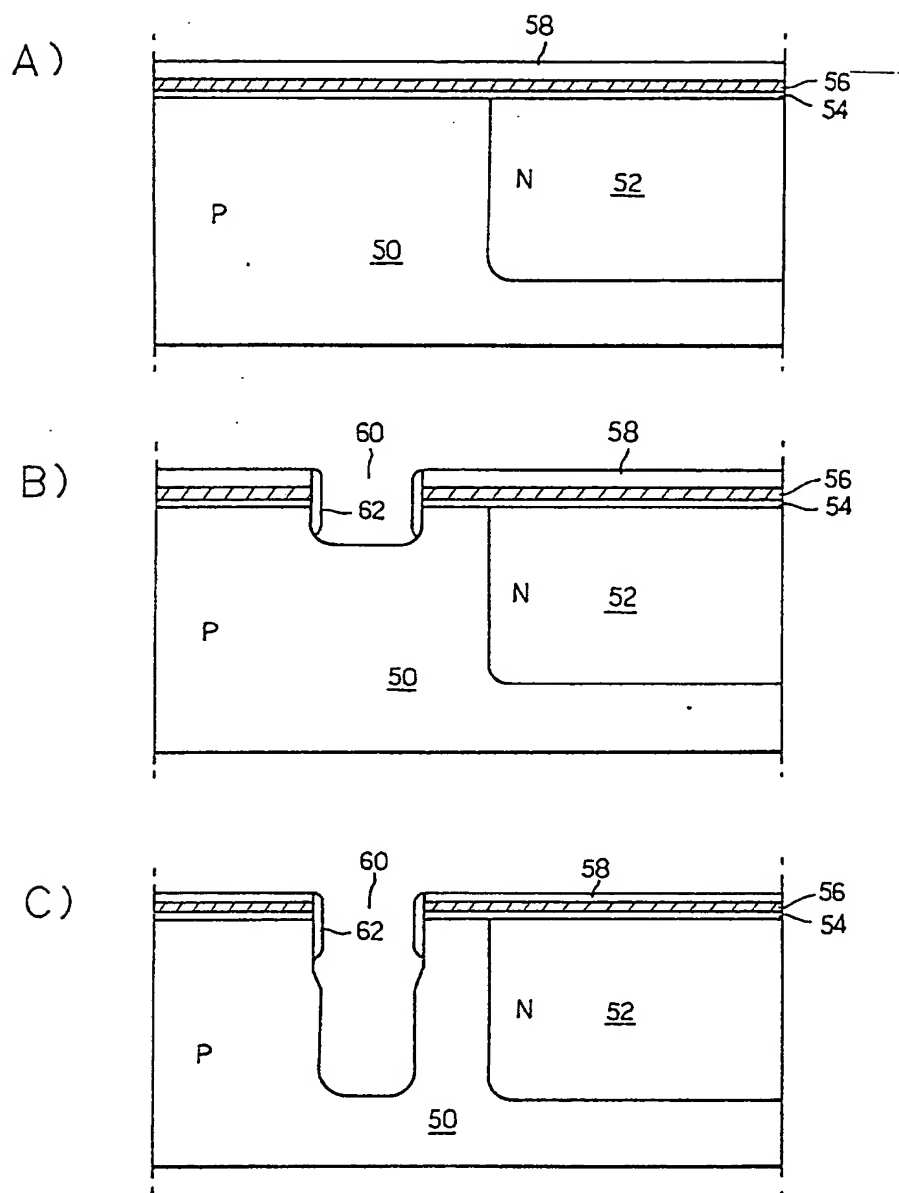


FIG. 5

3844388

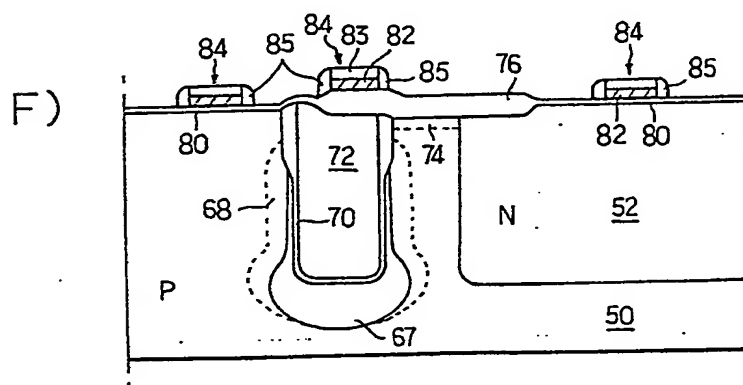
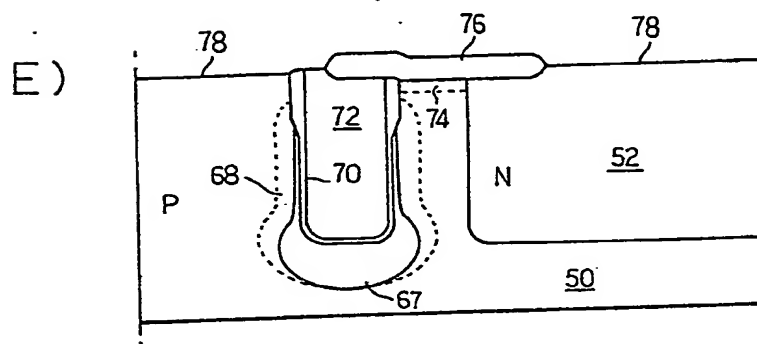
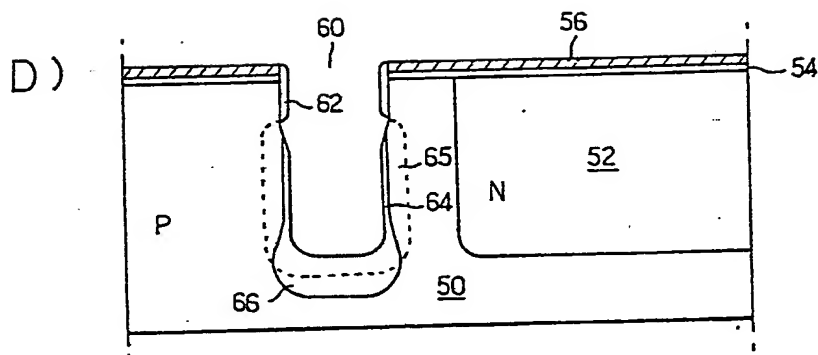


FIG. 5

24*

3844388

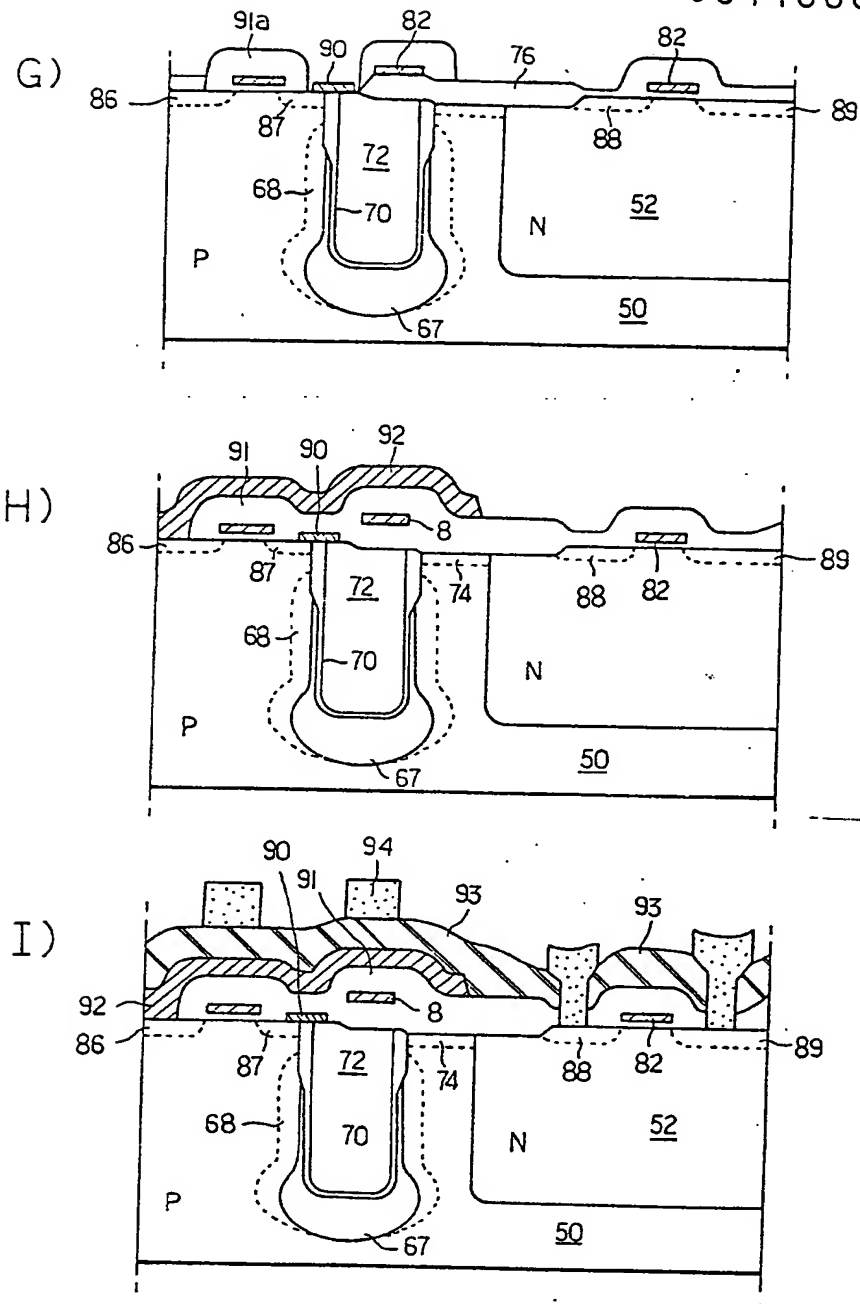


FIG. 5

Dynamic direct access memory device

Patent Number: DE3844388
Publication date: 1989-08-24
Inventor(s): JIN DAE-JE (KR); KIM CHANG-HYUN (KR)
Applicant(s): SAMSUNG ELECTRONICS CO LTD (KR)
Requested Patent: DE3844388
Application Number: DE19883844388 19881230
Priority Number(s): KR19880001556 19880215
IPC Classification: G11C11/34; H01L27/10
EC Classification: H01L21/334C, H01L21/8242B6, H01L27/108F8, H01L29/94B
Equivalents: FR2627326, GB2215913, JP2007465, JP2510265B2, KR9100246, NL191814B, NL191814C, NL8803189

Abstract

A memory cell having a semiconductor substrate for the formation of integrated circuit elements, a trench for the formation of a capacitor zone which extends vertically with respect to the surface of the substrate, a cell anode zone of a second conductance type being formed around the trench in order to produce a charge storage area within the capacitor zone, having a highly concentrated semiconductor zone of the same conductance type as the substrate, which zone is formed in the substrate outside the cell anode zone in order to increase the charge stored in the capacitor zone, having a conductive material which stores the charge as a function of the predetermined voltage in the trench, and having a dielectric layer which is formed between the conductive material and the cell anode.

Data supplied from the esp@cenet database - I2

DOCKET NO: W & B - INF - 1945

SERIAL NO: _____

APPLICANT: A. Felber et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100